

特開平10-257352

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ¹	識別記号	F I		
H 0 4 N	5/14	H 0 4 N	5/14	Z
	5/208		5/208	
	5/21		5/21	Z

審査請求 未請求 請求項の数 9 F D (全 6 頁)

(21) 出願番号 特願平9-81876
 (22) 出願日 平成9年(1997) 3月15日

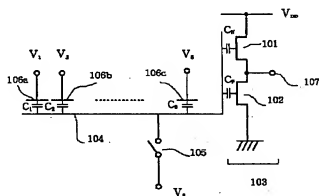
(71) 出願人 591022117
 柴田 直
 東京都江東区越中島 1-3-16-411
 (71) 出願人 000205041
 大見 忠弘
 宮城県仙台市青葉区米ヶ袋 2-1-17-301
 (72) 発明者 柴田 直
 宮城県仙台市太白区日本平 5番 2号
 (72) 発明者 大見 忠弘
 宮城県仙台市青葉区米ヶ袋 2の1の17の301
 (74) 代理人 弁理士 篠森 久夫

(54) 【発明の名称】 半導体演算回路

(57) 【要約】

【課題】 本発明は、非常に簡単な回路で画像の平均化処理によるノイズ除去、エッジ強調処理、エッジ検出処理を可能にする半導体演算回路を提供することを目的とする。

【解決手段】 入力端子が少なくとも一つのMOS型のトランジスタのゲート電極に接続されて構成された増幅回路と、前記入力端子に第1のスイッチ素子を介して接続された第1の信号入力端子と、前記入力端子に容量素子を介して接続された複数の第2の信号入力端子とを有する半導体演算回路において、前記入力端子に第1の信号電圧を加えるとともに前記第2の信号入力端子に所定の第2の入力信号電圧群を加えた状態で前記第1のスイッチ素子を開放し、その後前記第2の信号入力端子に所定の第3の入力信号電圧群を加える手段を有し、且つ前記増幅回路がソースフォロ回路又は電圧フォロ回路であることを特徴とする。



【特許請求の範囲】

【請求項1】 入力端子が少なくとも一つのMOS型のトランジスタのゲート電極に接続されて構成された増幅回路と、前記入力端子に第1のスイッチ素子を介して接続された第1の信号入力端子と、前記入力端子に容量素子を介して接続された複数の第2の信号入力端子とを有する半導体演算回路において、前記入力端子に第1の信号電圧を加えるとともに前記第2の信号入力端子に所定の第2の入力信号電圧群を加えた状態で前記第1のスイッチ素子を開放し、その後前記第2の信号入力端子に所定の第3の入力信号電圧群を加える手段を有し、且つ前記増幅回路がMOS型のトランジスタを用いて構成されたソースフォロワ回路であることを特徴とする半導体演算回路。

【請求項2】 入力端子が少なくとも一つのMOS型のトランジスタのゲート電極に接続されて構成された増幅回路と、前記入力端子に第1のスイッチ素子を介して接続された第1の信号入力端子と、前記入力端子に容量素子を介して接続された複数の第2の信号入力端子とを有する半導体演算回路において、前記入力端子に第1の信号電圧を加えるとともに前記第2の信号入力端子に所定の第2の入力信号電圧群を加えた状態で前記第1のスイッチ素子を開放し、その後前記第2の信号入力端子に所定の第3の入力信号電圧群を加える手段を有し、且つ前記増幅回路がMOS型のトランジスタを入力段に有する演算増幅器を用いて構成された電圧フォロワ回路であることを特徴とする半導体演算回路。

【請求項3】 前記第3の信号電圧群がすべて同一の値であり且つ前記第1の信号電圧に等しいことを特徴とする請求項1又は2に記載の半導体演算回路。

【請求項4】 前記第1の信号電圧並びに前記第2の信号電圧群が2次元に配置されたフォトセンサ群より得られる信号若しくはそれに所定の演算処理を施した信号であることを特徴とする請求項1〜第3のいずれか1項に記載の半導体演算回路。

【請求項5】 前記第1の信号電圧が所定の位置のフォトセンサより得られる信号若しくはそれに所定の演算処理を施した信号であり、前記第2の信号電圧群が前記所定の位置のフォトセンサに隣接するフォトセンサ群より得られる信号若しくはそれに所定の演算処理を施した信号であることを特徴とする請求項1〜4のいずれか1項に記載の半導体演算回路。

【請求項6】 前記増幅回路の出力端子が第2のスイッチ素子を介して前記第2の入力端子の少なくとも1つに接続されていることを特徴とする請求項1〜5のいずれか1項に記載の半導体演算回路。

【請求項7】 アナログデータ保持回路と、結線を切り換える手段とを設け、前記増幅回路の出力値を前記アナログデータ保持回路の少なくとも一部に格納するとともに、前記格納された出力値を再び前記結線を切り換える

手段を用いて前記入力端子に導くように構成されたことを特徴とする請求項1〜6のいずれか1項に記載した半導体演算回路。

【請求項8】 請求項7に記載した半導体演算回路を1つのブロックとし、該ブロックを2次元に配置して構成したことを特徴とする半導体演算回路。

【請求項9】 前記ブロック中に少なくとも一つのフォトセンサを設けたことを特徴とする請求項8に記載の半導体演算回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体演算回路に係り、特に画像処理等に用いる高性能演算回路に関する。

【0002】

【背景技術】マルチメディア技術の発展に伴い、画像情報を扱う演算の需要が増大している。画像情報は基本的に2次元に配列された画素値のデータで表現されるためデータ量が非常に大きく、従来のマイクロプロセッサを用いた逐次演算では多くの時間がかかった。とくにロバット応用のように実時間の応答が要求される画像処理演算ではこれが大きな問題であり、技術的なブレイクスルーが求められている。

【0003】この問題を解決する一つの方法として各画素毎に同一の演算回路を備え、それぞれの画素の位置において周りの画素のデータを取り込んで演算を行う方式が種々提案されている。すべての画素での演算が並列に行われるため高速の処理が可能である。しかしながらこの方式では、高度な演算を行うためには演算回路の規模が大きくなり一つの画素の占める面積が大きくなって、画素の集積密度が上らないという問題があった。つまり画像の解像度を向上させることができないという問題があった。特に、ノイズを平均化処理で減らしたり、画像の鮮明度を向上させるためのエッジ強調を行う演算は非常に複雑な回路を必要とするため、演算密度を上げて取り込み画像の解像度を向上させることと両立させることが困難であった。

【0004】

【発明が解決しようとする課題】本発明は以上の問題点を解決するために行ったものであり、非常に簡単な回路で画像の平均化処理によるノイズ除去、エッジ強調処理、エッジ検出処理を可能にする半導体演算回路を提供するものである。

【0005】

【課題を解決する手段】本発明は、入力端子が少なくとも一つのMOS型のトランジスタのゲート電極に接続されて構成された増幅回路と、前記入力端子に第1のスイッチ素子を介して接続された第1の信号入力端子と、前記入力端子に容量素子を介して接続された複数の第2の信号入力端子とを有する半導体演算回路において、前記

3

入力端子に第1の信号電圧を加えるとともに前記第2の信号入力端子に所定の第2の入力信号電圧群を加えた状態で前記第1のスイッチ素子を開放し、その後前記第2の信号入力端子に所定の第3の入力信号電圧群を加える手段を有し、且つ前記増幅回路がMOS型のトランジスタを用いて構成されたソースフォロ回路又はMOS型のトランジスタを入力段に有する演算回路を用いて構成された電圧フォロ回路であることを特徴としている。

【0006】前記第3の信号電圧群がすべて同一の値であり且つ前記第1の信号電圧に等しいことを特徴とする。また、前記第1の信号電圧並びに前記第2の信号電圧群が2次元に配置されたフォトセンサ群より得られる信号若しくはそれに所定の演算処理を施した信号であることを特徴とする。

【0007】さらに、前記第1の信号電圧が所定の位置のフォトセンサより得られる信号若しくはそれに所定の演算処理を施した信号であり、前記第2の信号電圧群が前記所定の位置のフォトセンサに隣接するフォトセンサ群より得られる信号若しくはそれに所定の演算処理を施した信号であることを特徴とする。

【0008】前記増幅回路の出力端子が第2のスイッチ素子を介して前記第2の入力端子の少なくとも1つに接続されていることを特徴とする。

【0009】また、本発明の半導体演算回路は、アナログデータ保持回路と、結線を切り換える手段とを設け、前記増幅回路の出力値を前記アナログデータ保持回路の少なくとも一部に格納するとともに、前記格納された出力値を再び前記結線を切り換える手段を用いて前記入力端子に導くように構成されたことを特徴とする。

【0010】以上の半導体演算回路を1つのブロックとし、該ブロックを2次元に配置して構成したことを特徴とし、また、前記ブロック中に少なくとも一つのフォト*

$$V_{r_i} = (C_1 V_{i1} + C_2 V_{i2} + \dots + C_n V_{in} + Q_r) / C_{tot}, \quad (式1)$$

$$C_{tot} = C_1 + C_2 + \dots + C_n \quad (式2)$$

ここで Q_r は、フローティング状態にある共通ゲート電極上の電荷量を表す。また C_{tot} は、式2に示したように電極104につながっている全容量の値である。ここに C_1 、 C_2 が含まれていないのは、ソースフォロ回路ではこれらが実効的に非常に小さくなり無視できるからである。その理由は、MOSトランジスタ102、102のチャネルは出力端子107と電気的に同電位となっており、その値はソースフォロ回路103の動作により共通ゲート電極104の値とほぼ等しくなるため、 C_1 、 C_2 の充放電が起こらないからである。つまり、 C_1 、 C_2 は無視することができる。

【0014】図2は2次元のフォトセンサ・アレーの中から9画面分のアレーを取り出しその位置関係を図示し*

$$Q_r = I_1 - (I_1 + I_2 + \dots + I_9) / 8 \quad (式3)$$

ここで、 $C_1 \sim C_9$ はすべて同じ値とした。

【0016】次に、図5に示したように電極106a～

4

* センサを設けたことを特徴とする。

【0011】本発明により、画像の平均化処理によるノイズ除去、エッジ強調処理、エッジ検出処理等が非常に簡単な回路で実現できるようになり、2次元イメージセンサの高画質化と同時に高機能化を達成することが可能になった。これにより実時間の画像処理が可能になったのである。

【0012】

【実施例】以下に実施例をあげて本発明をより詳細に説明する。

【0013】(実施例1) 図1は本発明の第1の実施例を示す回路図である。101はNチャネルMOSトランジスタ、102はPチャネルMOSトランジスタであり、いずれもデプレション型のトランジスタである。トランジスタ101および102はブッシュアップ方式の増幅器、つまりCMOS方式のソースフォロ回路103を構成している。104はMOSトランジスタ101、102共通のゲート電極であり、例えば第1層目の多結晶シリコン層でできている。これはソースフォロ回路103の入力端子となっており、スイッチ素子105を用いて信号入力端子 V_i につながっている。このスイッチ素子は、例えば単体のNMOSもしくはPMOSを用いてもよく、あるいは1対のNMOS、PMOSを並列に組み合わせたいわゆるCMOSスイッチを用いてもよい。 C_1 、 C_2 は、それぞれNMOS101、PMOS102のゲート電極104とチャネル間の容量である。106a～106c等は入力ゲート電極であり、これらは例えば第2層目の多結晶シリコン層でできている。またこれらの入力ゲートは $V_i \sim V_n$ の入力信号端子につながっている。スイッチ105を開放した状態で共通ゲート電極104のフローティング電位を V_r とすると、 V_r は次式で与えられる。

※たものである。 I_1 、 I_2 、 \dots 、 I_9 はそれぞれ画面1～9の輝度値を表す電圧信号である。画面9は今対象としている画面であり、画面1～8はその8近傍の画面である。図3～5を用いて画面9においてエッジ強調処理を行う動作について説明する。

【0015】まず動作の第1ステップを図3に示す。スイッチ105を閉じ、各画面の信号値を図示したように印加する。つまり、センターの画面値をソースフォロの入力端子104に、また周辺画面値の値を $V_1 \sim V_9$ の入力信号端子に入力する。この後、スイッチ105を開放する(図4)。このとき式1を用いてフローティング電極104上の電荷 Q_r の値が次式3のように求まる。

106cはすべて同じ値 I_1 を入力する。式1、式3を用いてこの時の V_r が、

$$V_r = \frac{1}{8} \{ 1_r + (1_1 + 1_2 + \dots + 1_8) \} \\ = \frac{1}{8} \{ 1_r + (1_1 + 1_2 + \dots + 1_8) \} \quad (式4)$$

のように求まる。式4は画像処理等でよく用いられるエッジ強調処理のための演算である。つまり、画素9の値がまわり8画素の平均値とどれだけずれているかをまず求め、そのずれの値をもとの画素値に加えた形になっている。こうすれば、画素9の値が周りよりも大きいときには益々大きくなり、逆に小さいときには益々小さくなりエッジが強調されるのである。本発明によれば非常に簡単な回路でエッジ処理という高度な演算が可能になる。すなわちソースフォロウ回路一つで演算が行えるため、フォトセンサと一体化して集積しても高密度のセンサアレーを実現することができ、イメージセンサの高い解像度と同時に高機能化が図れる。

【0017】(実施例2) 図6は本発明の第2の実施例を示す図面である。図1の第1の実施例との違いは、ソースフォロウ回路103の代わりには演算増幅器の電圧フォロウ回路が用いられている点である。ソースフォロウと同様にその出力端子602に現れる電圧は入力端子603の電位と等しくなる。入力端子603は、電気的にフローティングとする必要があるためこの演算増幅器の入力段のデバイスはMOS型の素子が用いられていることが重要であるが、その回路構成等はいかなるものも用いられていてもよい。

【0018】(実施例3) 図7は本発明の第3の実施例を示す図面である。701は、その出力端子702の電圧が入力端子703と等しくなる回路であり、図1のようにソースフォロウを用いてもよいし、あるいは図6のように演算増幅器を用いてもよい。本実施例は、平均化によるノイズ除去を行う回路であり、図1の実施例との大きな違いは信号入力端子704a~704cが9個と一つ増加していることおよびその動作である。その動作を次に説明する。

【0019】まず第1ステップでは、 $V_1 \sim V_8$ をすべてグランド(0V)にしてスイッチ素子105を閉じる。第2ステップではスイッチ105を開放した後 $V_1 \sim V_8$ 端子に図2の各画素値 $1_1 \sim 1_8$ をそれぞれ入力する。そうすると式1に従いフローティングゲート703の電位は $1_1 \sim 1_8$ の画素値の平均値となる。つまりノイズを平均化処理によって抑えた出力値が出力端子に現れる。このように図1と同様の回路がノイズ除去にも用いることができる。

【0020】(実施例4) 図8は本発明の第4の実施例を示す図面であり、第3の実施例の回路(図7)を用いてノイズ除去の処理とエッジ強調処理を両方できるようにした回路である。701~703は図7と同じものであり、 $V_1 \sim V_8$ はそれぞれ図7の対応する信号入力端子に対応している。ただしスイッチ素子105は図8には示されていないが、その機能はスイッチマトリクス804の中に含まれている。 $1_1 \sim 1_8$ は各画素の値であり

これは例えば、近傍画素および自分の画素のフォトセンサより直接出力電圧を配線で導いたものである。あるいはアナログ値を一時的に記憶しておくメモリ回路の出力電圧でもよい。804、805は、目的に応じて画素値データと回路の信号入力端子の接続を切り換える機能を持ったブロックである。以下本回路の動作について説明する。

【0021】ノイズ除去の動作に際しては、まずブロック805では $V_1 \sim V_8$ の各信号入力端子はすべてグランドに接続され、ブロック804では $V_1 \sim V_8$ 端子がグランドに接続される。次いで $V_1 \sim V_8$ 端子を開放状態にした後、画素値 $1_1 \sim 1_8$ の信号線がそれぞれ $V_1 \sim V_8$ 端子に接続される。この操作により出力端子702には $1_1 \sim 1_8$ の平均値が出力される。この値はアナログ値を記憶するメモリ回路806に一時的に保持されその出力線807によって近傍の画素の演算回路に供給される。こうして平均化処理の施されたデータに対しエッジ強調処理が行われる。これは次のように行われる。

【0022】まずブロック805では $1_1 \sim 1_8$ の信号線が $V_1 \sim V_8$ に接続される。同時にブロック804では信号線 1_1 が V_1 に接続され増幅器701の入力電圧が 1_1 に固定される。こまごまの操作は、第1の実施例と同様である。異なるのは残った $V_2 \sim V_8$ 信号入力端子の扱いであり、これは配線808に接続することによって増幅器701の出力端子702に接続される。増幅器701はヴォルテージフォロウの機能を持つため、 V_1 端子の電位は電極703の電位と等しくなる。つまり V_1 端子と電極703間の容量は電荷の放電が生じないため、その容量値は実効的に殆どゼロとなる。つまり、エッジ検出処理では不要な V_1 入力端子は取り除いたものと等値になる。不要な容量結合を無くするため回路の演算精度を向上させることができる。次に $V_2 \sim V_8$ 端子を開放とした後 $V_1 \sim V_8$ 端子はすべて 1_1 に接続される。これにより出力端子702にエッジ強調処理したデータが出力されるのは図1の第1の実施例と同様である。この値は例えば806の記憶回路に保持する。あるいは、806とは別個の記憶素子を設けそれらに保持してもよい。

【0023】以上述べたように図8の回路はたった一つのソースフォロウ回路701と配線を切り替えるスイッチング・ブロックでできた極めて簡単な構成である。これによって、ノイズ除去・エッジ強調といった画像処理の基本動作が実行できる。したがって、図8の回路をフォトセンサと一体化して一つの画素として2次元のイメージセンサを構成することにより、高解像度で且つ高機能なイメージ処理システムが実現できる。

【0024】また必ずしもフォトセンサと本発明の回路を一体化して形成する必要はない。イメージセンサはフォレンジオ(1画素当たりのデバイスの面積中フォトセ

7
 ンサの受光部の面積が占める割合)を十分大きくとった従来のセンサで、CCD、バイポーラセンサ、CMOSセンサ等、一切の演算機能を持たないものを用いてもよい。そして本発明の回路は、例えば図8に示した様な回路を別途高密度にアレー状に配置したプロセッサを作り、必要な画素群のデータをイメージセンサよりダウンロードし画像処理演算を行ってもよい。この場合、イメージセンサの画素数と、プロセッサアレーのプロセッサエレメント数とが一致している必要はなく、後者の方が少なくてもよい。この場合は、イメージセンサでとらえた全画面のデータをいくつかのブロックに分割してプロセッサアレーにダウンロードしてやればよい。あるいは、隣接する数画素のデータを平均化したものを一つのプロセッサエレメントに供給してやってもよい。画像の大きな特徴を抽出するには極めて有効な方法である。またこの目的のためには、各プロセッサエレメント中に必要なアナログメモリ回路を必要数設けることが有効である。さらに隣接画素間の画素値の差分絶対値を各方向について求め、その最大値をもってその位置における画像の空間微分値とし、さらにしきい処理を施すことにより2値化を行いエッジの位置を求める処理を行ってもよい。この2値化には、例えばニューロンMOSトランジスタを用いたインバータをコンパレータに用いてその2値化のしきい値を必要に応じて可変にするのがよい。これにより状況を判断しながら画像のエッジを検出するという極めて高度な画像処理が可能になる。

【0025】

【発明の効果】以上述べたように本発明の半導体演算装置を用いることによりこれまで多大な時間を要した画像処理を短時間にしかも簡単なハードウェアで実行が可能になった。したがって、マルチメディア応用を始めさまざまな知能ロボットへの応用が大きく広がった。 *

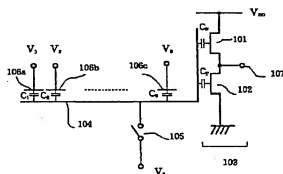
*【図面の簡単な説明】

- 【図1】 本発明の第1の実施例を示す模式図である。
 【図2】 2次元フォトセンサアレーの中から9画素分のアレーを取り出し、その位置関係を示す模式図である。
 【図3】 エッジ強調処理を説明する模式図である。
 【図4】 エッジ強調処理を説明する模式図である。
 【図5】 エッジ強調処理を説明する模式図である。
 【図6】 本発明の第2の実施例を示す模式図である。
 【図7】 本発明の第3の実施例を示す模式図である。
 【図8】 本発明の第4の実施例を示す模式図である。

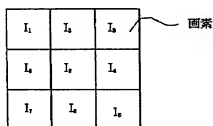
【符号の説明】

- 101 NチャネルMOSトランジスタ、
 102 PチャネルMOSトランジスタ、
 103 ソースフォロウ回路
 104 MOSTランジスタ101、102共通のゲート電極、
 105 スイッチ素子、
 106a~106c 入力ゲート電極、
 107 出力、
 601 電圧フォロウ回路、
 602 出力端子、
 603 入力端子、
 701 出力端子の電圧が入力端子と等しくなる回路、
 702 出力端子、
 703 入力端子、
 704a~704c 信号入力端子、
 804、805 目的に応じて画素値データと回路の信号入力端子の接続を切り換える機能を持ったブロック、
 806 アナログ値を記憶するメモリ回路、
 807 出力線、
 808 配線。

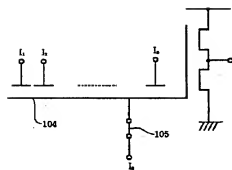
【図1】



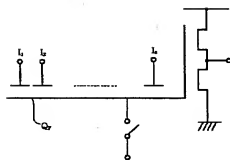
【図2】



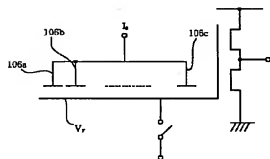
【図3】



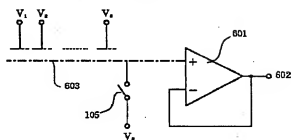
【図4】



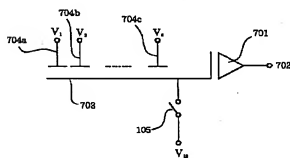
【図5】



【図6】



【図7】



【図8】

